

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-134562

(43)Date of publication of application : 23.05.1995

(51)Int.Cl.

G09F 9/33  
E01F 9/00

(21)Application number : 05-279147

(71)Applicant : KOITO IND LTD  
NAGOYA DENKI KOGYO KK  
SEIWA DENKI KK

(22)Date of filing : 09.11.1993

(72)Inventor : SAKAI MITSURU  
ITO SAKAE  
GOTO TOSHIKI

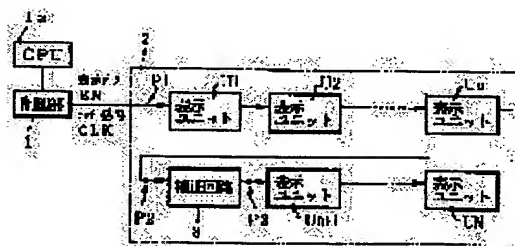
## (54) DISPLAY DEVICE

## (57)Abstract:

**PURPOSE:** To speedily transmit display data by a single system display even when the number of connection pieces of display units are large by connecting a correction circuit to the route of the display system where plural display units are connected in series.

**CONSTITUTION:** This device is constituted of a control part 1 and a display part 2 arranged with many display units U1, U2,...UN in matrix. Then, the correction circuit 3 is connected between a prescribed position unit Un of a display unit group U1, U2,...UN and the display unit Un+1 of the succeeding stage. The correction circuit 3 shapes the waveform of a clock signal sent from the display unit Un of the prestage by prescribed operation, and outputs the shaped signal to the display unit Un+1 of the succeeding stage. Inverters are provided respectively on the input stage and the output stage of the display data and respective signals such as the clock signal (CLK), and AND gates are connected respectively to the display data line and the CLK line.

BEST AVAILABLE COPY



## LEGAL STATUS

[Date of request for examination] 04.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2788401

[Date of registration] 05.06.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-134562

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl.<sup>6</sup>

G 0 9 F 9/33

E 0 1 F 9/00

識別記号

庁内整理番号

7610-5G

9125-2D

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-279147

(22) 出願日 平成5年(1993)11月9日

(71) 出願人 390010054

小糸工業株式会社

神奈川県横浜市戸塚区前田町100番地

(71) 出願人 000243881

名古屋電機工業株式会社

愛知県名古屋市中川区横堀町1丁目36番地

(71) 出願人 000195029

星和電機株式会社

京都府城陽市寺田新池36番地

(72) 発明者 酒井 満

神奈川県横浜市戸塚区前田町100番地 小

糸工業株式会社内

(74) 代理人 弁理士 西田 新

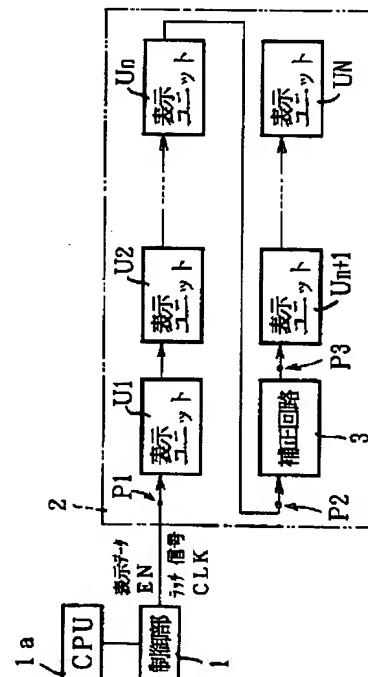
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 直列に接続する表示ユニットの台数が多くても1系統の表示で、かつ表示データを高速で送ることが可能なシステムの表示装置を提供する。

【構成】 表示ユニット群U1…UNの所定位置のユニットUnと、その次段の表示ユニットUn+1との間に補正回路3を接続している。そして、その補正回路3を、前段の表示ユニットUnからのクロック信号を波形整形し、そのパルス持続時間を長くして次段の表示ユニットUn+1へと出力するように構成している。



## 【特許請求の範囲】

【請求項 1】 複数個の表示ユニットが配列された表示部と、それらユニット群に信号を出力する制御部によって構成されているとともに、上記の各表示ユニットは、それぞれ、複数個の表示素子がマトリクス状に配置された表示素子アレイと、それら表示素子の駆動制御用のシフトレジスタを備え、かつ、これらの表示ユニットが上記制御部に対してそれぞれ互いに直列に接続され、その各表示ユニットのシフトレジスタに表示データおよびクロック信号が順を追って送られてゆくように構成された表示装置において、上記表示ユニット群の所定位置のユニットと、その次段の表示ユニットとの間に補正回路が接続され、その補正回路は、この回路の前段の表示ユニットからのクロック信号を波形整形し、そのパルス持続時間を長くして次段の表示ユニットへと出力するよう構成されていることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば LED 道路情報板などの表示装置に関する。

## 【0002】

【従来の技術】 道路情報板等の表示装置としては、現在、LED などの表示素子をドットマトリクス状に配置した表示素子アレイと、その各素子の駆動制御を行う駆動回路等によって構成される表示ユニットを、更にマトリクス状に配列して大画面の表示部を構築し、その表示部に制御部から表示データを送出して、表示部の多数個の表示素子群の所定位置の素子を点灯あるいは点滅することによって、所望の文字や図形などを表示する構造のものが利用されている。

【0003】そして、この種の表示装置の信号転送方式としては、従来、表示部の各表示ユニットを制御部に対して互いに直列に接続して、表示データをシリアル信号で各表示ユニットに順を追って転送してゆくシステムが一般的である。また、各表示ユニットにおいて、制御部からの表示データの採り込みと、データの次のユニットへの送り出しには、通常、シフトレジスタが用いられている。

## 【0004】

【発明が解決しようとする課題】ところで、上述したシステムの表示装置によれば、表示の 1 系統に接続できる表示ユニットの台数が制限されるという問題がある。

【0005】すなわち、制御部から表示データとともに送り出されるクロック信号は、各表示ユニットを何段も経由してゆくにつれパルス持続時間（パルス幅）が短くなり（図 6 参照）、最終的には H 側が極端に短くなって表示データの送信が不可能となる。例えば実験によると、表示ユニットを 1 台経由するごとにクロック信号のパルス持続時間が約 3 ns づつ短くなることが判明しており、従ってクロック信号（デューティ比：50%）の周波

数を例えば 1 MHz とすると、 $500\text{ns}/3\text{ns} \approx 167$  の計算から、1 系統に 167 台以上の表示ユニットを接続するとクロック信号の H 側は消滅してしまうことになる。

【0006】そこで、以上の対策として、従来では、例えば図 7 に示すように、表示ユニット群 U1, U2, … UN を複数の系統（4 系統）に分けて、その各系統ごとに表示データとクロック信号をそれぞれ個別に転送する方法、あるいは、表示の系統は 1 系統としたままで、クロック信号の周波数を十分に低くして送信するといった方法が採用されている。

【0007】ところが、その前者の方法によれば、分割した各系統に対しそれぞれ制御部（11…14）が必要となり、しかも系統の分割数に応じて信号ケーブルの本数が多くなることから、装置全体のコストが高くなるという問題がある。

【0008】一方、後者の方法によると、表示データを送り終えるのに多くの時間が必要となり、このため、ある表示内容から別の表示内容へと移行する際の変化が遅くなって交互表示やアニメーション等の表示が適切でなくなるという欠点がある。

【0009】なお、表示ユニットを経由するごとにクロック信号のパルス持続時間が短くなる原因としては、各表示ユニットに組み込まれているインバータ（シュミット回路）の  $T_{phl}$ （出力 H → L 伝播時間）と  $T_{plh}$ （出力 L → H 伝播時間）との相違、 $T_{thl}$ （出力 H → L 遷移時間）と  $T_{tlh}$ （出力 L → H 遷移時間）との相違ならびに  $V_{t+}$ （正方向スレッショルド電圧）と  $V_{t-}$ （負方向スレッショルド電圧）との相違、さらには静電容量負荷が表示ユニット内部とその外部の信号転送ラインとでは相違する等が考えられる。

【0010】本発明は上記した事情に鑑みてなされたもので、表示ユニットの接続台数が多くても 1 系統の表示で、かつ、表示データを高速で送ることが可能なシステムの表示装置を提供することを所期の目的とする。

## 【0011】

【課題を解決するための手段】上記の目的を達成するための構成を、実施例に対応する図 1 ～ 図 3 を参照しつつ説明すると、本発明の表示装置は、表示ユニット群 U1 … UN の所定位置のユニット Un と、その次段の表示ユニット Un+1 との間に補正回路 3 が接続されており、その補正回路 3 は、この回路の前段の表示ユニット Un からのクロック信号を波形整形し、そのパルス持続時間を長くして次段の表示ユニット Un+1 へと出力するよう構成されていることによって特徴づけられる。

## 【0012】

【作用】複数段の表示ユニット U1, U2, … Un を経由したクロック信号を、補正回路 3 により波形整形してそのパルス持続時間を長くすることにより、例えば図 4 に示すように、このクロック信号のパルスデューティ比を、制御部 1 が出力した時点 P1 の状態（デューティ比：5

0%)と同程度にまで戻すことが可能となる。

#### 【0013】

【実施例】本発明の実施例を、以下、図面に基づいて説明する。まず、表示装置全体は、図1に示すように、制御部1と、多数の表示ユニットU1, U2, …UN がマトリクス状に配列された表示部2によって構成されている。

【0014】制御部1はCPU1aによって制御され、表示データ(シリアルデータ)ならびに、後述するイネーブル信号(EN信号)、ラッチ信号、クロック信号(CLK信号)を出力する。なお、EN信号は、後述するドライバ2DをON/OFFさせて調光等を行うための信号である。

【0015】一方、各表示ユニットU1(U2, …UN)は、図2に示すように、LEDなどの表示素子を例えば16×16ドット(=256ドット)のマトリクス状に配置した表示素子アレイ2Aと、その各素子の点灯制御を行う駆動回路Cを備えている。

【0016】駆動回路Cは、制御部1から送り出された表示データ(シリアルデータ)を、CLK信号に同期して採り込むシフトレジスタ2Sと、そのレジスタに採り込まれたデータをラッチ信号に従って記憶するラッチ回路2Lと、その記憶データに基づいて表示素子アレイ2Aの各素子を駆動するドライバ2Dが組み込まれた回路である。また、この駆動回路Cには、各信号の入力段と出力段にそれぞれインバータが設けられている。

【0017】さて、本発明実施例において注目すべきところは、表示ユニット群U1, U2, …UNの所定位置のユニットUnとこの次段の表示ユニットUn+1との間に補正回路3を接続した点にある。

【0018】この補正回路3は、前段の表示ユニットUnからのクロック信号を後述する動作で波形整形し、その整形後の信号を次段の表示ユニットUn+1へと出力する回路であって、図3に示すように、表示データやクロック信号(CLK)などの各信号の入力段と出力段に、それぞれインバータIni・Ini, Ino・Inoが設けられており、その表示データラインとCLKラインに、それぞれANDゲート3e, 3dが接続されている。

【0019】CLKラインのANDゲート3dには、入力側インバータIniの出力信号と、このインバータIniから出力され、シフトレジスタ3aを通過した後の信号が導かれる。また、シフトレジスタ3aとANDゲート3dとの間にはインバータ3cが接続されており、さらに、このシフトレジスタ3aには、クロックパルスが発生する発振回路3bが接続されている。

【0020】なお、発振回路3bで発生するクロックパルスの周波数は、制御部1が出力するクロック信号の持続時間(パルス幅)よりも小さくしておく(図4参照)。また、表示データラインのANDゲート3eは、CLKラインにANDゲート3dを接続したことにより発生する時間遅れを補償して、この表示データとクロック

信号との位相ずれによるデータ抜けを防止することを目的として接続する。

【0021】次に、補正回路3の動作を、図4に示すタイミング波形図ならびに先の図1, 図3を参照しつつ説明する。まず、図1に示すように、制御部1が出力したクロック信号が、第1番目の表示ユニットU1に入る前の位置をP1, 第n番目の表示ユニットUnから出た位置つまり補正回路3に入る前の位置をP2, この補正回路3を通過した位置をP3とする。また、図3に示すように、補正回路3のシフトレジスタ3aの入出力をそれぞれQ1, Q3, 発振回路3bの出力をQ2およびANDゲート3dの出力をQ4とする。

【0022】さて、n段の表示ユニットU1, …Unを経由した後のクロック信号が、図4のP2に示す波形であるとする、シフトレジスタ3aの出力Q3は、クロック信号P2が“L”である状態の期間が一定の時間だけ経過した時点で立ち上がって“H”となる。このときの経過(遅延)時間は、発振回路3bの出力Q2であるクロックパルスによって与えられ、そのクロックパルス数が、初期のクロック信号P1の周期の半分(パルス持続時間)に相当する数になった時点で信号Q3が立ち上がり、この時点でANDゲート3dの出力Q4がH→Lへと切り換わり出力側インバータInoの出力P3が“H”の状態となる。

【0023】次いで、クロック信号P2が立ち上がりその反転信号Q1がH→Lとなると、これと同時にシフトレジスタ3aの出力Q3がH→Lとなるが、この時点ではANDゲート3dの出力Q4は変化せず、従って出力側インバータInoの出力P3は“H”のままの状態が維持され、この後に、クロック信号P2がH→Lとなった時点で出力信号P3が切り換わって“L”となり、以後、同様な動作が順次に繰り返されてゆく。そして、このような動作により、補正回路3に到達したクロック信号P2は、初期のクロック信号P1とほぼ同形状の波形の信号に波形整形され、その整形後の信号P3が次段の表示ユニットUn+1へと送り出される。

【0024】ここで、補正回路は、図3に示した回路構成に限定されるものではなく、例えば、単安定マルチバイブレータ等を用いて、図5の波形図に示すように、波形歪が生じたクロック信号P2の立ち下がり(あるいは立ち上がり)を検出して、所望のパルス幅を作り出すといったアナログ的な補正動作を行う構成の回路を採用してもよい。

【0025】なお、以上の実施例では、補正回路3を表示系統の1箇所だけ設けているが、その配置位置は複数箇所であってもよい。また、本発明は、以上説明した例の表示装置のほか、表示素子アレイの駆動制御用のシフトレジスタを複数個直列に接続して1台の表示ユニットを構成し、この表示ユニット複数台を更に直列に接続した表示装置にも適用可能であることは言うまでもない。

## 【0026】

【発明の効果】以上説明したように、本発明の表示装置によれば、複数台の表示ユニットが直列に接続された表示システムの途中に補正回路を接続しているため、複数段の表示ユニットの経路によりクロック信号のパルス幅が極端に短くなっても、その波形歪は補正回路で整形され、これ以降の表示ユニットに初期のクロック信号と同程度の波形信号を送信できる。これにより、表示ユニットの接続台数が多くても1系統のシステムで表示データ等の信号を送ることが可能となり、しかもクロック信号の周波数を低くする必要もなくなる。その結果、コストを抑えつつ交互表示やアニメーション表示の品位を高めることが可能となる。

## 【図面の簡単な説明】

【図1】 本発明実施例の全体構成を示すブロック図

【図2】 その実施例の表示ユニットU1(U2, …UN)の構成を示すブロック図

【図3】 本発明実施例の補正回路3の構成を示すブロック図

【図4】 その補正回路3の動作を示すタイミング波形図\*20

\* 【図5】 補正回路の変形例を説明するための波形図

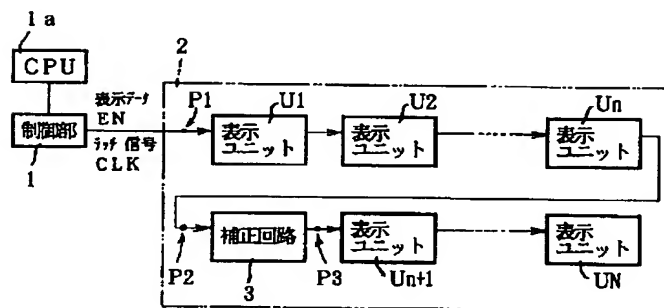
【図6】 複数段の表示ユニットを経由したクロック信号の変化を示す波形図

【図7】 そのクロック信号の変化による影響を回避する方法の従来例を説明する図

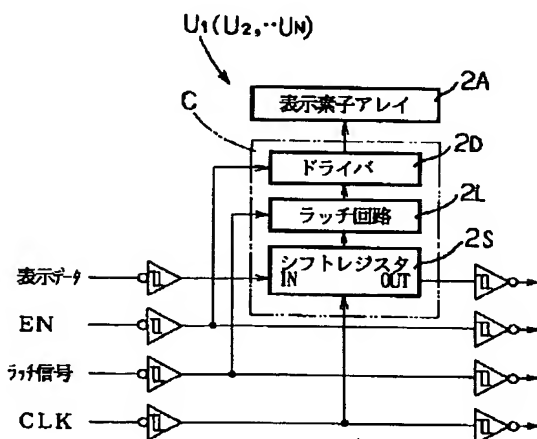
## 【符号の説明】

- 1 制御部
- 1 a CPU
- 2 表示部
- U1, U2, …Un, Un+1, …UN 表示ユニット
- 2A 表示素子アレイ
- 2D ドライバ
- 2L ラッチ回路
- 2S シフトレジスタ
- 3 補正回路
- 3 a シフトレジスタ
- 3 b 発振回路 (クロックパルス発生源)
- 3 c インバータ
- 3 d, 3 e ANDゲート

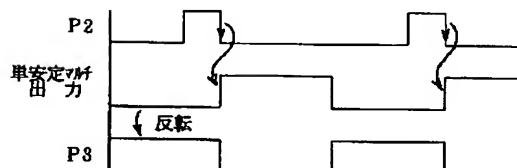
【図1】



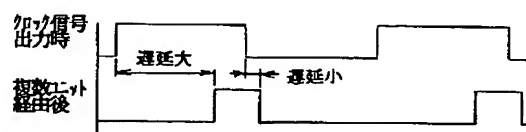
【図2】



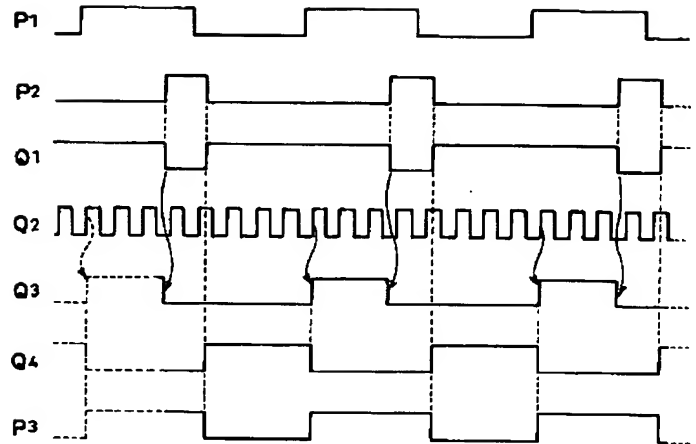
【図5】



【図6】



【図 4】



```

graph LR
    CPU[CPU] -- 11 --> CU1[制御部 11]
    CPU -- 12 --> CU2[制御部 12]
    CPU -- 13 --> CU3[制御部 13]
    CPU -- 14 --> CU4[制御部 14]
    CU1 --> D11[表示部]
    CU2 --> D12[表示部]
    CU3 --> D13[表示部]
    CU4 --> D14[表示部]
    D11 --> D21[表示部]
    D21 -.-> D31[表示部]
    D12 --> D22[表示部]
    D22 -.-> D32[表示部]
    D13 --> D23[表示部]
    D23 -.-> D33[表示部]
    D14 --> D24[表示部]
    D24 -.-> D34[表示部]
    subgraph Labels
        U1[U1]
        U2[U2]
        UN[UN]
    end
    D11 --- U1
    D21 --- U2
    D31 --- UN
    
```

(72) 発明者 後藤 俊昭  
京都府城陽市寺田新池36番地 星和電機株  
式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**